

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年12月 2日
Date of Application:

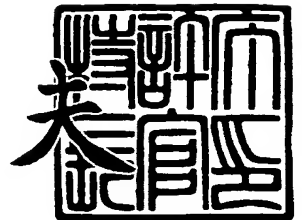
出願番号 特願2002-349861
Application Number:
[ST. 10/C]: [JP2002-349861]

出願人 ローム株式会社
Applicant(s):

2003年10月21日

特許庁長官
Commissioner,
Japan Patent Office

今井 康





【書類名】 特許願

【整理番号】 ROM018

【あて先】 特許庁長官殿

【国際特許分類】 H03K 03/00

【発明者】

 【住所又は居所】 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会
社内

 【氏名】 藤森 敬和

【特許出願人】

 【識別番号】 000116024

 【氏名又は名称】 ローム株式会社

【代理人】

 【識別番号】 100106013

 【弁理士】

 【氏名又は名称】 田川 幸一

 【電話番号】 06-6776-9922

【手数料の表示】

 【予納台帳番号】 091787

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 0003529

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 データ保持装置およびデータ保持方法

【特許請求の範囲】

【請求項 1】

データラッチ時に、第 1 および第 2 のインバータ回路をループ状に接続することによりデータを保持するデータ保持回路と、

データ書き込み時に、前記第 1 のインバータ回路の入力ノードにその一端を接続した状態で、前記データ保持回路に存するデータに対応した不揮発的状态を記憶し、データ復元時に、前記第 1 のインバータ回路の入力ノードに前記一端を接続するとともに他端に読み出し用信号を付与することで、前記記憶していた不揮発的状态に対応した電荷であって、前記第 1 のインバータ回路のしきい値電圧より高いまたは低い電圧を前記第 1 のインバータ回路の入力ノードに発生させる電荷を、前記第 1 のインバータ回路の入力ノードに放出するよう構成された不揮発性記憶素子と、

を備え、

前記データ保持回路は、

前記第 1 のインバータ回路の入力ノードと前記不揮発性記憶素子の一端との接続ノードとして定義される不揮発性記憶素子接続ノードと、前記第 2 のインバータ回路の出力ノードと、の間に挿入され、データラッチ時およびデータ書き込み時に継状態となるよう継断制御されるとともに、データ復元時には、前記読み出し用信号の付与時に断状態でありその後所定期間経過後に継状態となるよう継断制御されるループ継断用ゲート、を備えている、

データ保持装置。

【請求項 2】

請求項 1 のデータ保持装置において、

一端が前記不揮発性記憶素子接続ノードに接続され、他端が前記データ保持回路と外部とを結ぶデータ伝搬路に接続され、データ伝搬時に継状態となるよう継断制御されるとともに、前記データ復元時には、前記ループ継断用ゲートが断状態である期間断状態でありその後所定期間経過後に継状態となるよう継断制御さ

れるデータ継断用ゲートを備えたこと、
を特徴とするもの。

【請求項 3】

請求項 1 ないし 2 のいずれかのデータ保持装置において、
前記不揮発性記憶素子接続ノードに接続される接続ノード側半導体領域と、
前記読み出し用信号の付与により前記不揮発性記憶素子接続ノードに放出された電荷の極性と同じ極性の電源電圧を印加した基部半導体領域と、
前記接続ノード側半導体領域から前記基部半導体領域への接合方向が前記放出された電荷にとって順方向となるような接合部と、
を有するリミッター素子、を備えたこと、
を特徴とするもの。

【請求項 4】

請求項 3 のデータ保持装置において、
前記ループ継断用ゲートおよび／または前記データ継断用ゲートは、前記リミッター素子としてのリミッター用電界効果トランジスタを備え、
当該リミッター用電界効果トランジスタは、前記不揮発性記憶素子接続ノードに接続される前記接続ノード側半導体領域としてのソース／ドレイン領域と、前記読み出し用信号の付与により前記不揮発性記憶素子接続ノードに放出された電荷の極性と同じ極性の電源電圧を印加した前記基部半導体領域と、前記ソース／ドレイン領域から前記基部半導体領域への接合方向が前記放出された電荷にとって順方向となるような前記接合部と、を有すること、
を特徴とするもの。

【請求項 5】

請求項 1 ないし 4 のいずれかのデータ保持装置において、
前記読み出し用信号の付与に先立ち前記不揮発性記憶素子接続ノードの電荷を放電するプリチャージ回路を備えたこと、
を特徴とするもの。

【請求項 6】

請求項 5 のデータ保持装置において、

前記不揮発性記憶素子接続ノードは、前記データ保持回路と外部とを結ぶデータ伝搬路のうち入力側のデータ伝搬路に接続され、

前記入力側のデータ伝搬路および出力側のデータ伝搬路に、それぞれ 1 個の補正用インバータ回路を挿入したこと、

を特徴とするもの。

【請求項 7】

請求項 1 ないし 6 のいずれかのデータ保持装置において、

前記不揮発性記憶素子は、強誘電体コンデンサを含み、

前記不揮発的状態は、当該強誘電体コンデンサの分極状態であること、

を特徴とするもの。

【請求項 8】

データラッチ時に、第 1 および第 2 のインバータ回路をループ状に接続することによりデータを保持するデータ保持回路と、

少なくともデータ書き込み時およびデータ復元時にその一端が前記第 1 のインバータ回路の入力ノードに接続される不揮発性記憶素子と、

を備え、

前記データ保持回路は、

前記第 1 のインバータ回路の入力ノードと前記不揮発性記憶素子の一端との接続ノードとして定義される不揮発性記憶素子接続ノードと、前記第 2 のインバータ回路の出力ノードと、の間に挿入されたループ継断用ゲート、を備えている、

データ保持装置、を用意し、

データ書き込み時に、

前記第 1 のインバータ回路の入力ノードに前記不揮発性記憶素子の一端を接続した状態で、前記データ保持回路に存するデータに対応した不揮発的状態を当該不揮発性記憶素子に記憶させ、

データ復元時に、

前記データ保持装置の電源を投入しておき、

その状態で前記ループ継断用ゲートを断状態とし、

その状態で前記第 1 のインバータ回路の入力ノードに前記不揮発性記憶素子の

一端を接続するとともに他端に読み出し用信号を付与することで、前記記憶していた不揮発的状态に対応した電荷であって、前記第 1 のインバータ回路のしきい値電圧より高いまたは低い電圧を前記第 1 のインバータ回路の入力ノードに発生させる電荷を、前記第 1 のインバータ回路の入力ノードに放出させ、

その後、所定期間経過後に前記ループ継断用ゲートを継状態とすることで前記第 1 および第 2 のインバータ回路をループ状に接続し、これにより、前記不揮発性記憶素子に記憶していた不揮発的状态に対応したデータを前記データ保持回路に復元する、

ステップを備えたデータ保持方法。

【請求項 9】

請求項 8 のデータ保持方法において、

前記データ保持装置は、

一端が前記不揮発性記憶素子接続ノードに接続され、他端が前記データ保持回路と外部とを結ぶデータ伝搬路に接続され、データ伝搬時に継状態となるよう継断制御されるデータ継断用ゲートを備え、

データ復元時に、

前記データ保持装置の電源を投入しておき、

その状態で前記ループ継断用ゲートおよび前記データ継断用ゲートを断状態とし、

その状態で前記第 1 のインバータ回路の入力ノードに前記不揮発性記憶素子の一端を接続するとともに他端に読み出し用信号を付与することで、前記記憶していた不揮発的状态に対応した電荷であって、前記第 1 のインバータ回路のしきい値電圧より高いまたは低い電圧を前記第 1 のインバータ回路の入力ノードに発生させる電荷を、前記第 1 のインバータ回路の入力ノードに放出させ、

その後、所定期間経過後に前記データ継断用ゲートを断状態としたまま前記ループ継断用ゲートを継状態とすることで前記第 1 および第 2 のインバータ回路をループ状に接続し、これにより、前記不揮発性記憶素子に記憶していた不揮発的状态に対応したデータを前記データ保持回路に復元し、

その後、前記データ継断用ゲートを継状態とする、

ステップを備えたことを特徴とするもの。

【請求項 1 0】

請求項 8 ないし 9 のいずれかのデータ保持方法において、
前記不揮発性記憶素子は、強誘電体コンデンサを含み、
前記不揮発的状态は、当該強誘電体コンデンサの分極状態であること、
を特徴とするもの。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明はデータ保持装置およびデータ保持方法に関し、とくに不揮発性記憶素子を用いたデータ保持装置およびデータ保持方法に関する。

【0 0 0 2】

【従来の技術】

ラッチ回路などの順序回路に用いられるデータ保持回路として、たとえば、2つのインバータ回路を直列にループ状に接続した回路が知られている。しかし、このようなデータ保持回路は、通常、データを揮発的にしか保持できないため、電源が遮断されるとデータが失われてしまう。つまり、電源を再投入しても、電源遮断前のデータを復元することができない。

【0 0 0 3】

したがって、たとえば、このようなデータ保持回路を有するラッチ回路を利用したシーケンス処理を何らかの理由により中断する場合、データを保持しておくためには電源を ON にしたままにしなければならないので、その分、電力を消費する。また、停電事故等によりシーケンス処理が中断された場合、最初から処理をやり直さなければならず、時間的ロスが大きい。

【0 0 0 4】

このような問題を解決するために、上述のデータ保持回路と複数の強誘電体コンデンサとを組み合わせたラッチ回路が提案されている（たとえば、特許文献 1 の図 3 参照。）。このようなラッチ回路を用いれば、電源が遮断されてもデータを保持することができるので好都合である。

【0 0 0 5】

【特許文献 1】

特開 2 0 0 1 - 1 2 6 4 6 9 号公報

【0 0 0 6】

【発明が解決しようとする課題】

しかしながら、上述のラッチ回路には、次のような問題がある。すなわち、上述のラッチ回路は、データ保持回路と複数の強誘電体コンデンサとを組み合わせで構成されている。このため、複数の強誘電体コンデンサの他に、これらを制御するための周辺回路および制御線が多数必要となる。このため、強誘電体コンデンサを持たないラッチ回路に比べ、回路面積が著しく増大する。これでは、集積度の向上という産業界の要望に応えることはできない。

【0 0 0 7】

また、データを複数の強誘電体コンデンサに記憶したり複数の強誘電体コンデンサからデータを復元したりしなければならない等の理由により、繊細なタイミング制御が要求される。このため、使用素子の温度特性に配慮したり、温度補償回路を付加したりしなければならないなど、回路設計上の制限が厳しい。

【0 0 0 8】

この発明は、このような従来のラッチ回路の問題点を解消し、電源が遮断されてもデータを保持するとともに保持したデータを正確に復元することができ、かつ、回路面積の増加が少なく、タイミング制御の容易なデータ保持装置およびデータ保持方法を提供することを目的とする。

【0 0 0 9】

【課題を解決するための手段、発明の作用および効果】

請求項 1 のデータ保持装置は、データ保持回路と不揮発性記憶素子とを備えている。

【0 0 1 0】

データ保持回路は、データラッチ時に、第 1 および第 2 のインバータ回路をループ状に接続することによりデータを保持する。

【0 0 1 1】

不揮発性記憶素子は、データ書き込み時に、第 1 のインバータ回路の入力ノードにその一端を接続した状態で、データ保持回路に存するデータに対応した不揮発的状态を記憶するよう構成されている。不揮発性記憶素子は、また、データ復元時に、第 1 のインバータ回路の入力ノードに一端を接続するとともに他端に読み出し用信号を付与することで、記憶していた不揮発的状态に対応した電荷であって、第 1 のインバータ回路のしきい値電圧より高いまたは低い電圧を第 1 のインバータ回路の入力ノードに発生させる電荷を、第 1 のインバータ回路の入力ノードに放出するよう構成されている。

【 0 0 1 2 】

データ保持回路は、また、ループ継断用ゲートを備えている。ループ継断用ゲートは、第 1 のインバータ回路の入力ノードと不揮発性記憶素子の一端との接続ノードとして定義される不揮発性記憶素子接続ノードと、第 2 のインバータ回路の出力ノードと、の間に挿入され、データラッチ時およびデータ書き込み時に継状態となるよう継断制御されるとともに、データ復元時には、読み出し用信号の付与時に断状態でありその後所定期間経過後に継状態となるよう継断制御される。

【 0 0 1 3 】

請求項 8 のデータ保持方法は、データ保持装置を用意するステップを備えている。データ保持装置は、データ保持回路と不揮発性記憶素子とを備えている。データ保持回路は、データラッチ時に、第 1 および第 2 のインバータ回路をループ状に接続することによりデータを保持する。不揮発性記憶素子は、少なくともデータ書き込み時およびデータ復元時にその一端が第 1 のインバータ回路の入力ノードに接続される。また、データ保持回路は、ループ継断用ゲートを備えている。ループ継断用ゲートは、第 1 のインバータ回路の入力ノードと不揮発性記憶素子の一端との接続ノードとして定義される不揮発性記憶素子接続ノードと、第 2 のインバータ回路の出力ノードと、の間に挿入される。

【 0 0 1 4 】

本データ保持方法は、また、データ書き込み時に、第 1 のインバータ回路の入力ノードに不揮発性記憶素子の一端を接続した状態で、データ保持回路に存する

データに対応した不揮発的状态を不揮発性記憶素子に記憶させるステップを備えている。

【0015】

本データ保持方法は、さらに、データ復元時に、データ保持装置の電源を投入しておき、その状態でループ継断用ゲートを断状態とし、その状態で第1のインバータ回路の入力ノードに不揮発性記憶素子の一端を接続するとともに他端に読み出し用信号を付与することで、記憶していた不揮発的状态に対応した電荷であって、第1のインバータ回路のしきい値電圧より高いまたは低い電圧を第1のインバータ回路の入力ノードに発生させる電荷を、第1のインバータ回路の入力ノードに放出させ、その後、所定期間経過後にループ継断用ゲートを継状態とすることで第1および第2のインバータ回路をループ状に接続し、これにより、不揮発性記憶素子に記憶していた不揮発的状态に対応したデータをデータ保持回路に復元するステップを備えている。

【0016】

したがって、請求項1のデータ保持装置および請求項8のデータ保持方法においては、不揮発性記憶素子の数は1つでよい。

【0017】

また、不揮発性記憶素子に記憶されていたデータをデータ保持回路に復元する際、以下の単純な動作を行うだけでよい。すなわち、データ保持装置の電源を投入した状態でループ継断用ゲートを断状態としておき、その状態で読み出し用信号を不揮発性記憶素子に付与し、その後、所定期間経過後にループ継断用ゲートを継状態とする。このため、周辺回路および制御線を単純化することができる。この結果、回路面積の増加を抑えることができる。また、繊細なタイミング制御が不要となる。

【0018】

さらに、データ保持装置の電源を投入した状態でループ継断用ゲートを断状態としておき、その状態で読み出し用信号を不揮発性記憶素子に付与するので、読み出し用信号の付与により発生した電荷が、ループ継断用ゲートを介して失われることがない。このため、正確にデータを復元することができる。

【0 0 1 9】

請求項 2 のデータ保持装置は、さらにデータ継断用ゲートを備えている。データ継断用ゲートは、一端が不揮発性記憶素子接続ノードに接続され、他端がデータ保持回路と外部とを結ぶデータ伝搬路に接続され、データ伝搬時に継状態となるよう継断制御されるとともに、データ復元時には、ループ継断用ゲートが断状態である期間断状態でありその後所定期間経過後に継状態となるよう継断制御される。

【0 0 2 0】

請求項 9 のデータ保持方法においては、データ保持装置は、さらにデータ継断用ゲートを備えている。データ継断用ゲートは、一端が不揮発性記憶素子接続ノードに接続され、他端がデータ保持回路と外部とを結ぶデータ伝搬路に接続され、データ伝搬時に継状態となるよう継断制御される。

【0 0 2 1】

本データ保持方法は、また、データ復元時に、データ保持装置の電源を投入しておき、その状態でループ継断用ゲートおよびデータ継断用ゲートを断状態とし、その状態で第 1 のインバータ回路の入力ノードに不揮発性記憶素子の一端を接続するとともに他端に読み出し用信号を付与することで、記憶していた不揮発的状态に対応した電荷であって、第 1 のインバータ回路のしきい値電圧より高いまたは低い電圧を第 1 のインバータ回路の入力ノードに発生させる電荷を、第 1 のインバータ回路の入力ノードに放出させ、その後、所定期間経過後にデータ継断用ゲートを断状態としたままループ継断用ゲートを継状態とすることで第 1 および第 2 のインバータ回路をループ状に接続し、これにより、不揮発性記憶素子に記憶していた不揮発的状态に対応したデータをデータ保持回路に復元し、その後、データ継断用ゲートを継状態とするステップを備えている。

【0 0 2 2】

つまり、請求項 2 のデータ保持装置および請求項 9 のデータ保持方法においては、データをデータ保持回路に復元する際、ループ継断用ゲートが断状態である期間、データ継断用ゲートも断状態としておき、その後、ループ継断用ゲートを継状態としたあと所定期間経過後にデータ継断用ゲートを継状態とするようによ

うにしている。

【 0 0 2 3 】

したがって、データ保持回路に確実にデータが復元された後に、新しいデータが取り込まれる。すなわち、新たに入力されるデータの影響を完全に排除して、正確にデータを復元することができる。

【 0 0 2 4 】

また、データ保持装置の電源を投入した状態でループ継断用ゲートおよびデータ継断用ゲートを断状態としておき、その状態で読み出し用信号を不揮発性記憶素子に付与するので、読み出し用信号の付与により発生した電荷が、ループ継断用ゲートまたはデータ継断用ゲートを介して失われることがない。このため、より正確にデータを復元することができる。

【 0 0 2 5 】

請求項 3 のデータ保持装置は、リミッター素子を備えている。

【 0 0 2 6 】

リミッター素子は、不揮発性記憶素子接続ノードに接続される接続ノード側半導体領域と、読み出し用信号の付与により不揮発性記憶素子接続ノードに放出された電荷の極性と同じ極性の電源電圧を印加した基部半導体領域と、接続ノード側半導体領域から基部半導体領域への接合方向が放出された電荷にとって順方向となるような接合部と、を有する。

【 0 0 2 7 】

したがって、たとえば、読み出し用信号の付与により不揮発性記憶素子接続ノードに放出された電荷が大きすぎるためにその電荷によって不揮発性記憶素子接続ノードに発生する電圧が電源電圧を超えそうになると、余分な電荷を、リミッター素子の接続ノード側半導体領域、接合部および基部半導体領域を介して、電源に放出する。

【 0 0 2 8 】

このため、不揮発性記憶素子接続ノードの電圧が電源電圧を超えることはない。この結果、過電圧による動作トラブルを防止することができる。すなわち、不揮発性記憶素子の電圧／電荷特性などにばらつきがあっても、これを吸収して安

定な動作を実現することができる。

【0029】

請求項4のデータ保持装置においては、ループ継断用ゲートおよび／またはデータ継断用ゲートは、リミッター素子としてのリミッター用電界効果トランジスタを備えている。

【0030】

当該リミッター用電界効果トランジスタは、不揮発性記憶素子接続ノードに接続される接続ノード側半導体領域としてのソース／ドレイン領域と、読み出し用信号の付与により不揮発性記憶素子接続ノードに放出された電荷の極性と同じ極性の電源電圧を印加した基部半導体領域と、ソース／ドレイン領域から基部半導体領域への接合方向が放出された電荷にとって順方向となるような接合部と、を有する。

【0031】

したがって、ループ継断用ゲートおよび／またはデータ継断用ゲートを構成する電界効果トランジスタをリミッター用電界効果トランジスタ（リミッター素子）として利用することで、専用のリミッター素子を別途設けることなしに、過電圧による動作トラブル等を防止することが可能となる。

【0032】

請求項5のデータ保持装置は、さらにプリチャージ回路を備えている。プリチャージ回路は、読み出し用信号の付与に先立ち不揮発性記憶素子接続ノードの電荷を放電する。

【0033】

したがって、不揮発性記憶素子接続ノードに残っている不要な電荷を強制的に排除してから、データの復元を行うことができる。このため、正確にデータを復元することができる。また、データの記憶、復元のサイクルを短時間で実行することが可能となる。

【0034】

請求項6のデータ保持装置においては、不揮発性記憶素子接続ノードは、データ保持回路と外部とを結ぶデータ伝搬路のうち入力側のデータ伝搬路に接続され

ている。

【0035】

さらに、入力側のデータ伝搬路および出力側のデータ伝搬路に、それぞれ1個の補正用インバータ回路を挿入している。

【0036】

したがって、不揮発性記憶素子接続ノードの論理値と出力側のデータ伝送路に設けられた補正用インバータ回路の出力ノードの論理値とが一致する。たとえば、接地電位を論理“L”と仮定すると、プリチャージ回路によって不揮発性記憶素子接続ノードの電荷が放電され、その結果、不揮発性記憶素子接続ノードの論理値が論理“L”となったとき、データ保持装置の出力の論理値も論理“L”となる。

【0037】

このため、プリチャージすなわちリセットに対応するデータ保持装置の出力を論理“L”とすることができるので、データ保持装置の出力を利用した論理回路の構築が容易になる。

【0038】

請求項7のデータ保持装置および請求項10のデータ保持方法においては、不揮発性記憶素子は、強誘電体コンデンサを含む。また、不揮発的状态は、当該強誘電体コンデンサの分極状態に相当する。

【0039】

したがって、単純な構造でありながら、書き込み速度が早く、さらに、書き込み用信号の電圧が低い不揮発性記憶素子を実現することができる。

【0040】

なお、請求項および明細書において「不揮発性記憶素子」とは、データを不揮発的に記憶可能な素子であって、データの値に対応する少なくとも2つの異なる不揮発的な状態を呈する素子をいう。

【0041】

「データラッチ時」とは、第1および第2のインバータ回路をループ状に接続することにより、データ保持回路にデータを保持している状態をいう。

【0042】

「データ伝搬時」とは、外部からのデータをデータ保持回路に伝達可能な状態をいう。

【0043】

「データ書き込み時」とは、データに対応した不揮発的状态を不揮発性記憶素子に書き込む動作が行われる時点をいう。

【0044】

「データ復元時」とは、データを復元するための一連の動作が行われる期間をいう。

【0045】

「データ保持回路に存するデータ」とは、データ保持回路に保持されているデータ（データラッチ時におけるラッチデータ）に限定されない趣旨である。したがって、データ保持回路を通過中のデータ（データ伝搬時における伝搬データ）も、これに含まれる。

【0046】

「接続ノード側半導体領域」とは、リミッター素子を構成する半導体領域であって、不揮発性記憶素子接続ノードに接続される半導体領域をいう。

【0047】

「ソース／ドレイン領域」とは、「ソース領域またはドレイン領域」を意味する。

【0048】

「基部半導体領域」とは、接続ノード側半導体領域の導電型と異なる導電型の半導体領域であって、接続ノード側半導体領域と直接的に接して形成されている半導体領域を言う。

【0049】**【発明の実施の形態】**

図1は、この発明の一実施形態によるデータ保持装置1を示す回路図である。データ保持装置1は、データ保持回路3、不揮発性記憶素子である強誘電体コンデンサ5、インバータ回路13、およびデータ継断用ゲートであるトランスファ

ゲート 1 5 を備えている。

【 0 0 5 0 】

データ保持回路 3 は、データラッチ時に、第 1 および第 2 のインバータ回路であるインバータ回路 7 およびインバータ回路 9 を直列にループ状に接続することによりデータを保持する。インバータ回路 7 は、主信号路に配置され、インバータ回路 9 は、帰還信号路に配置されている。

【 0 0 5 1 】

すなわち、この実施形態においては、第 1 および第 2 のインバータ回路は、それぞれ、主信号路に配置されたインバータ回路および帰還信号路に配置されたインバータ回路として実現されている。

【 0 0 5 2 】

ここに、主信号路とは、データ保持回路 3 を構成する信号路のうち、入力側のデータ伝搬路 1 9 a から出力側のデータ伝搬路 1 9 b へと信号を伝えるための主たる信号路であり、帰還信号路とは、データ保持回路 3 を構成する信号路のうち、出力側のデータ伝搬路 1 9 b から入力側のデータ伝搬路 1 9 a へと信号を帰還させるための信号路である。

【 0 0 5 3 】

強誘電体コンデンサ 5 は、データ書き込み時に、インバータ回路 7 の入力ノード 7 a にその一端 5 a を接続するとともに他端 5 b に書き込み用信号を付与することで、データ保持回路 3 に保持されているデータに対応した分極状態を記憶するように構成されている。強誘電体コンデンサの分極状態が、不揮発性記憶素子の不揮発的状态に対応する。

【 0 0 5 4 】

強誘電体コンデンサ 5 は、また、データ復元時に、インバータ回路 7 の入力ノード 7 a に一端 5 a を接続するとともに他端 5 b に読み出し用信号を付与することで、記憶していた分極状態に対応した電荷であって、インバータ回路 7 のしきい値電圧より高いまたは低い電圧をインバータ回路 7 の入力ノード 7 a に発生させる電荷を、インバータ回路 7 の入力ノード 7 a に放出するように構成されている。

。

【0055】

強誘電体コンデンサ5の他端5bに与えられる信号をプレートライン信号PLと呼ぶこととする。したがって、上述の書き込み用信号および読み出し用信号は、いずれも、プレートライン信号PLを構成する。また、上記他端5bは、書き込み用信号付与端および／または読み出し用信号付与端と考えることもできる。

【0056】

なお、図1に示すように、この実施形態においては、強誘電体コンデンサ5の一端5aとインバータ回路7の入力ノード7aとは、固定的に接続されている。

【0057】

データ保持回路3は、また、ループ継断用ゲートであるトランスファゲート11を備えている。トランスファゲート11は、インバータ回路7の入力ノード7aと強誘電体コンデンサ5の一端5aとの接続ノードとして定義される強誘電体接続ノード17と、インバータ回路9の出力ノード9bと、の間に挿入される。強誘電体接続ノード17が、不揮発性記憶素子接続ノードに対応する。

【0058】

トランスファゲート11は、データラッチ時およびデータ書き込み時に継状態となるよう継断制御されるとともに、データ復元時には、読み出し用信号の付与時に断状態でありその後所定期間経過後に継状態となるよう継断制御される。

【0059】

トランスファゲート15は、一端15aが強誘電体接続ノード17に接続され、他端15bが、データ保持回路3と外部とを結ぶデータ伝搬路19のうち入力側のデータ伝搬路19aに接続されている。トランスファゲート15は、データ伝搬時に継状態となるよう継断制御されるとともに、データ復元時には、トランスファゲート11が断状態である期間断状態でありその後所定期間経過後に継状態となるよう継断制御される。

【0060】

インバータ回路13は、入力側のデータ伝搬路19aに挿入されている。入力データDは、インバータ回路13を介して、トランスファゲート15の他端15bに与えられる。

【0061】

トランスファゲート11は、nMOSFET（nMOS型電界効果トランジスタ）であるトランジスタ23とpMOSFET（pMOS型電界効果トランジスタ）であるトランジスタ21とにより構成されている。トランジスタ23および21のゲート端子23aおよび21aには、それぞれ、後述するクロックパルスCKBおよび／CKBが与えられる。ここに、クロックパルス／CKBは、クロックパルスCKBの反転信号である。

【0062】

トランスファゲート15も、トランスファゲート11と同様に、nMOSFETであるトランジスタ27とpMOSFETであるトランジスタ25とにより構成されている。ただし、トランジスタ27および25のゲート端子27aおよび25aには、それぞれ、後述するクロックパルスCKAおよび／CKAが与えられる。ここに、クロックパルス／CKAは、クロックパルスCKAの反転信号である。

【0063】

図2は、トランスファゲート11の実体的な構成を示す模式図である。トランジスタ23は、P型の半導体基板61と、半導体基板61内に形成されたソース領域69およびドレイン領域71とを備えている。ソース領域69およびドレイン領域71は、いずれもN型の半導体により構成されている。半導体基板61には、接地電位GNDが与えられている。

【0064】

一方、トランジスタ21は、半導体基板61内に形成されたN型のウェル領域63と、ウェル領域63内に形成されたソース領域65およびドレイン領域67とを備えている。ソース領域65およびドレイン領域67は、いずれもP型の半導体により構成されている。ウェル領域63には、電源電位VDDが与えられている。

【0065】

トランジスタ21が、リミッター素子としてのリミッター用電界効果トランジスタに該当する。すなわち、ソース／ドレイン領域としてのドレイン領域67（

接続ノード側半導体領域に該当)は、強誘電体接続ノード17に接続されている。また、上述のように、基部半導体領域としてのウェル領域63には、読み出し用信号の付与により強誘電体接続ノード17に放出される電荷の極性(正)と同じ極性の電源電位VDDが与えられている。また、ドレイン領域67からウェル領域63への接合方向が、放出された電荷(正電荷)にとって順方向となるような接合部68、を備えている。

【0066】

なお、この実施形態においては、図1に示すトランスファゲート15の構造はトランスファゲート11の構造と同一であり、トランスファゲート15を構成するトランジスタ25も、リミッター用電界効果トランジスタに該当する。

【0067】

図3は、データ保持装置1に必要な複数のクロックパルスを供給するためのクロック発生回路の一例を示す回路図である。クロック発生回路31は、イネーブル信号入力端子33、基本クロック入力端子35、クロック生成部37、第3クロック出力端子39、第1クロック出力端子41、および第2クロック出力端子43を備えている。

【0068】

イネーブル信号入力端子33は、後述するイネーブル信号ENを入力するための端子である。基本クロック入力端子35は、データ保持装置1の動作を制御するための基本となるクロックパルスCLKを入力するための端子である。第3クロック出力端子39は、クロックパルスCLKの反転信号に所定の遅延を与えて得られるクロックパルスCKC(第3クロックパルス)を出力するための端子である。

【0069】

第1クロック出力端子41は、上述のクロックパルスCKA(第1クロックパルス)を出力するための端子である。第1クロック出力端子41から出力されたクロックパルスCKA、およびクロックパルスCKAの反転信号であるクロックパルス/CKAによって、上述のように、トランスファゲート15が継断制御される。

【0070】

一方、第2クロック出力端子43は、上述のクロックパルスCKB（第2クロックパルス）を出力するための端子である。第2クロック出力端子43から出力されたクロックパルスCKB、およびクロックパルスCKBの反転信号であるクロックパルス／CKBによって、上述のように、トランスファゲート11が継断制御される。

【0071】

クロック生成部37は、多数の論理ゲートにより構成されており、イネーブル信号ENおよびクロックパルスCLKに基づいて、クロックパルスCKC、クロックパルスCKA、およびクロックパルスCKBを生成する。

【0072】

図6に、イネーブル信号EN、クロックパルスCLK、クロックパルスCKC、クロックパルスCKA、およびクロックパルスCKBの関係を示す。クロックパルスCKAとクロックパルスCKBとは、同時に論理“L”となる区間が一部にあるが、これを無視すれば全体としては相補的な信号となっている。

【0073】

したがって、このように構成されたデータ保持装置1（図1参照）においては、データの伝搬とラッチとが交互に繰り返されることになる。すなわち、データ伝搬時には、トランスファゲート11、15は、それぞれ、OFF（断状態）、ON（継状態）となるよう制御される。つまり、データ伝搬時には、データ保持装置1に与えられた入力データDは、インバータ回路13、トランスファゲート15およびインバータ回路7を介して、出力データQとしてそのまま出力される。

【0074】

一方、データラッチ時には、トランスファゲート11、15は、それぞれ、ON、OFFとなるよう制御される。したがって、データラッチ時には、データ保持回路3には、直前に入力されたデータが保持されるとともに、保持されているデータが出力データQとして出力される。

【0075】

図4は、データ保持装置1におけるデータ書き込みのための動作、すなわちデータ書き込み動作、を説明するためのタイミングチャートの一例である。図4に基づいて、データ書き込み動作を説明する。

【0076】

データ書き込み動作においては、まず、データ保持装置1の電源およびイネーブル信号ENがともにONの状態、強誘電体コンデンサ5の他端5bに、プレートライン信号PLとして書き込み用信号(a)を与える。

【0077】

書き込み用信号(a)は、論理“L”であったプレートライン信号PLをいったん論理“H”にしたあと再び論理“L”に戻すことにより生成される矩形信号である。書き込み用信号(a)を強誘電体コンデンサ5の他端5bに付与することで、その時点でデータ保持回路3に保持されているデータに対応した分極状態が、強誘電体コンデンサ5に記憶される。

【0078】

その後、電源をOFFにする。電源をOFFにすることで、イネーブル信号ENもOFF（論理“L”）となる。

【0079】

なお、図4に示す例では、実線で示すように、いったん論理“H”にしたプレートライン信号PLを論理“L”に戻した後に電源OFFにするようにしたが、たとえば、破線で示すように、プレートライン信号PLを論理“L”に戻すことなく、電源をOFFにするようにしてもよい。また、電源をOFFにせず、イネーブル信号ENのみをOFFにすることもできる。

【0080】

図5は、データ保持装置1におけるデータ復元時の動作、すなわちデータ復元動作、を説明するためのタイミングチャートの一例である。図5～図6に基づいて、データ復元動作を説明する。

【0081】

データ復元動作においては、図5に示すように、まず、データ保持装置1の電源をONにし、その状態で強誘電体コンデンサ5の他端5bに、プレートライン

信号 PL として読み出し用信号 (b) を与える。

【0082】

読み出し用信号 (b) は、論理 “L” であったプレートライン信号 PL をいったん論理 “H” にしたあと再び論理 “L” に戻すことにより生成される矩形信号である。読み出し用信号 (b) を強誘電体コンデンサ 5 の他端 5 b に付与することで、強誘電体コンデンサ 5 に記憶されていた分極状態に対応した電荷が強誘電体接続ノード 17 に放出される。

【0083】

この状態においては、イネーブル信号 EN は、まだ “L” である。したがって、図 6 に示すように、クロックパルス CKA および CKB は、いずれも論理 “L” である。すなわち、トランスファゲート 11 および 15 はいずれも、OFF になっている。したがって、強誘電体接続ノード 17 に放出された電荷が、トランスファゲート 11 を介してインバータ回路 9 側に漏出したり、トランスファゲート 15 を介してインバータ回路 13 側に漏出したりすることはない (図 1 参照)。

【0084】

また、この状態においては、上述のように、データ保持装置 1 の電源が ON になっているから、図 2 に示すように、トランスファゲート 11 を構成するトランジスタ 21 のウェル領域 63 には電源電位 VDD が付与されている。したがって、強誘電体接続ノード 17 に放出された電荷によって強誘電体接続ノード 17 の電位が上がったとしても、その電位が電源電位 VDD を越えない限り、電荷がウェル領域 63 に漏出することはない。

【0085】

同様に、強誘電体接続ノード 17 の電位が電源電位 VDD を越えない限り、電荷が、トランスファゲート 15 を構成するトランジスタ 25 のウェル領域 (図示せず) に漏出することはない。

【0086】

このように、強誘電体接続ノード 17 の電位が電源電位 VDD を越えない限り、上述の放出された電荷は、強誘電体接続ノード 17 にとどまる。したがって、

強誘電体接続ノード17の電位は、放出された電荷を正確に反映したものとなるので、好都合である。

【0087】

一方、何らかの不具合で、放出された電荷が大きすぎた場合や強誘電体接続ノード17に不要な電荷が残っていた場合には、電荷の放出によって、強誘電体接続ノード17の電位が電源電位VDDを越えてしまう可能性がある。

【0088】

このような場合、図2に示すように、余分な電荷は、トランスファゲート11を構成するトランジスタ21のドレイン領域67、接合部68およびウェル領域63を介して、電源（電位VDD）に流れ込む。同様に、余分な電荷は、トランスファゲート15を構成するトランジスタ25のウェル領域（図示せず）に接続された電源（電位VDD）に流れ込む。

【0089】

したがって、この実施形態においては、放出された電荷が大きすぎた場合や強誘電体接続ノード17に不要な電荷が残っていた場合であっても、電荷の放出によって、強誘電体接続ノード17の電位が電源電位VDDを越えてしまうことはない。すなわち、このような事態によって装置が破損することを防止することができる。

【0090】

図5に戻って、その後、イネーブル信号をONにする。図6に示すように、その後、クロックパルスCKBが論理“H”になる（図6、（c）参照）。このとき、クロックパルスCKAは論理“L”のままである。すなわち、図1に示すトランスファゲート15はOFFのままで、トランスファゲート11のみがONになる。

【0091】

したがって、データ保持回路3は、入力側のデータ伝搬路19aと切り離されたままで、そのループが閉じた状態となる。すなわち、外部からの影響を排除しつつ、インバータ回路7および9がループ状に接続された状態となる。このため、強誘電体接続ノード17の電位は、入力データの影響を受けることなく、放出

された電荷を正確に反映した論理レベル（論理“H”または論理“L”）に到達する。

【0092】

図7は、データ復元動作における強誘電体接続ノード17の電位の変化のシミュレーション結果を示す図面である。

【0093】

図7に示すように、上述の電荷の放出による電位上昇が大きく、その結果、強誘電体接続ノード17の電位がインバータ回路7（図1参照）のしきい値電圧 V_{th} を越える場合（たとえば、電位 V_1 または V_2 ）には、データ保持回路3のループを閉じることによって、強誘電体接続ノード17の電位は電源電位 V_{DD} 、すなわち、論理“H”になる。

【0094】

一方、電荷の放出による電位上昇がそれほど小さくなく、その結果、強誘電体接続ノード17の電位がインバータ回路7のしきい値電圧 V_{th} を越えなかった場合（たとえば、電位 V_3 ）には、データ保持回路3のループを閉じることによって、強誘電体接続ノード17の電位は接地電位 GND 、すなわち、論理“L”になる。

【0095】

この後、図6に示すように、クロックパルス CKB が論理“L”になるとともに、クロックパルス CKA が論理“H”となる（図6、（d）参照）。すなわち、図1に示すトランスファゲート15がONとなり、トランスファゲート11はOFFとなる。これによって、つぎの入力データ D が、データ保持装置に入力される。

【0096】

なお、図5に示す例では、実線で示すように、いったん論理“H”にしたプレートライン信号 PL を論理“L”に戻した後にイネーブル信号 EN をONにするようにしたが、たとえば、破線で示すように、プレートライン信号 PL を論理“L”に戻す前に、イネーブル信号 EN をONにすることもできる。

【0097】

つぎに、図 8 は、この発明の他の実施形態によるデータ保持装置 81 を示す回路図である。データ保持装置 81 は、図 1 に示すデータ保持装置 1 に、プリチャージ回路であるトランジスタ 83 を付加したものであり、これ以外の構成は、データ保持装置 1 と同じである。

【0098】

トランジスタ 83 は、そのドレイン領域が強誘電体接続ノード 17 に接続され、ソース領域および基部半導体領域は接地電位 GND に接続されている。ゲートには、プリチャージ信号 PC が与えられる。

【0099】

図 9 は、データ保持装置 81 におけるデータ復元動作を説明するためのタイミングチャートの一例である。電源を ON にしたあと、プレートライン信号 PL として読み出し用信号 (b) を与えるまでの間に、プリチャージ信号 PC (矩形信号、図 9, (e) 参照) を与えている点で、図 5 に示すタイミングチャートと異なる。

【0100】

このように構成することで、強誘電体接続ノード 17 に残っていた電荷を、読み出し用信号 (b) を与える前に放電することができる。このため、より正確にデータを復元することができる。

【0101】

つぎに、図 10 は、この発明のさらに他の実施形態によるデータ保持装置 91 を示す回路図である。データ保持装置 91 は、図 8 に示すデータ保持装置 81 に、一対の補正用インバータ回路であるインバータ回路 93 および 95 を付加したものであり、これ以外の構成は、データ保持装置 81 と同じである。

【0102】

インバータ回路 93 は、入力側のデータ伝搬路 19a に挿入されている。この例では、入力側のデータ伝搬路 19a のうち、インバータ回路 13 の前に挿入されている。

【0103】

インバータ回路 95 は、出力側のデータ伝搬路 19b に挿入されている。この

例では、出力側のデータ伝搬路 19b のうち、データ保持回路 3 の直後に挿入されている。

【0104】

このように構成すると、トランジスタ 83 によって強誘電体接続ノード 17 の電荷が放電されて強誘電体接続ノード 17 の論理値が論理 “L” となったとき、データ保持装置 91 の出力の論理値を論理 “L” とすることができる。

【0105】

このため、プリチャージすなわちリセットに対応するデータ保持装置 91 の出力を論理 “L” とすることができるので、データ保持装置 91 の出力を利用した論理回路（図示せず）の構築が容易になる。

【0106】

なお、上述の各実施形態においては、リミッター用電界効果トランジスタとして、pMOSFET を例に説明したが、この発明はこれに限定されるものではない。たとえば、不揮発性記憶素子接続ノードに放出される電荷が負電荷である場合には、nMOSFET が、この発明におけるリミッター用電界効果トランジスタに該当する。

【0107】

また、上述の各実施形態においては、リミッター用電界効果トランジスタを、ループ継断用ゲートおよびデータ継断用ゲートの双方に備えるようにしたが、この発明はこれに限定されるものではない。たとえば、リミッター用電界効果トランジスタを、ループ継断用ゲートおよびデータ継断用ゲートのいずれか一方に備えるようにすることもできる。さらに、リミッター用電界効果トランジスタを、ループ継断用ゲートおよびデータ継断用ゲートのいずれにも備えないようにすることもできる。

【0108】

また、上述の各実施形態においては、リミッター素子としてリミッター用電界効果トランジスタを用いた場合について説明したが、この発明はこれに限定されるものではない。たとえば、リミッター素子としてダイオードを用いることもできる。

【0109】

図11は、この発明のさらに他の実施形態によるデータ保持装置101を示す回路図である。データ保持装置101は、リミッター素子としてのダイオード105（リミッター用ダイオード）を備えている点で、図1に示すデータ保持装置1と異なる。また、トランスファゲート11および15の代わりに、それぞれトランジスタ123および127が用いられている。他の構成は、データ保持装置1と同じである。なお、103は、データ保持装置を構成するデータ保持回路であり、図1のデータ保持回路3に対応する。

【0110】

ダイオード105はpn接合ダイオードであり、そのアノードは強誘電体接続ノード17に接続され、カソードには電源電位VDDが与えられている。トランジスタ123および127は、いずれもnMOSFETであり、それらのゲート端子123aおよび127aには、それぞれ、前述のクロックパルスCKBおよびCKAが与えられる。

【0111】

図12は、ダイオード105およびトランジスタ123の実体的な構成を示す模式図である。トランジスタ123は、P型の半導体基板161と、半導体基板161内に形成されたソース領域169およびドレイン領域171とを備えている。ソース領域169およびドレイン領域171は、いずれもN型の半導体により構成されている。半導体基板161には、接地電位GNDが与えられている。

【0112】

一方、ダイオード105は、半導体基板161内に形成されたカソード側領域163と、カソード側領域163内に形成されたアノード側領域167とを備えている。カソード側領域163およびアノード側領域167は、それぞれ、N型およびP型の半導体により構成されている。カソード側領域163には、電源電位VDDが与えられている。

【0113】

上述のように、ダイオード105が、リミッター素子としてのリミッター用ダイオードに該当する。すなわち、アノード側領域167（接続ノード側半導体領

域に該当)は、強誘電体接続ノード17に接続されている。また、上述のように、基部半導体領域としてのカソード側領域163には、読み出し用信号の付与により強誘電体接続ノード17に放出される電荷の極性(正)と同じ極性の電源電位VDDが与えられている。また、アノード側領域167からカソード側領域163への接合方向が、放出された電荷(正電荷)にとって順方向となるような接合部168(p-n接合部)、を備えている。

【0114】

なお、図11の例においては、ループ継断用ゲートおよびデータ継断用ゲートとして、トランジスタ123および127を用いたが、ループ継断用ゲートおよびデータ継断用ゲートをこれらに限定する趣旨ではない。たとえば、ループ継断用ゲートまたはデータ継断用ゲートとして、図1に示すトランスファゲート11および15を用いるようにしてもよい。

【0115】

また、上述の各実施形態においては、データ保持装置がデータ継断用ゲートを備えている場合を例に説明したが、データ保持装置がデータ継断用ゲートを備えていない場合にも、この発明を適用することができる。

【0116】

また、上述の各実施形態においては、第1および第2のインバータ回路が、それぞれ、データ保持回路を構成する主信号路に配置されたインバータ回路および帰還信号路に配置されたインバータ回路である場合を例に説明したが、この発明はこれに限定されるものではない。

【0117】

第1および第2のインバータ回路が、それぞれ、データ保持回路を構成する帰還信号路に配置されたインバータ回路および主信号路に配置されたインバータ回路である場合にも、この発明を適用することができる。この場合には、不揮発性記憶素子の一端は、帰還信号路に配置されたインバータ回路の入力ノードに接続されることになる。

【0118】

また、上述の各実施形態においては、データラッチ時にデータ保持回路に存す

るデータ、すなわちラッチされているデータに対応した不揮発的状态を不揮発性記憶素子に記憶させる場合を例に説明したが、この発明は、これに限定されるものではない。

【0119】

たとえば、データ保持回路を通過中のデータ（データ伝搬時における伝搬データ）に対応した不揮発的状态を不揮発性記憶素子に記憶させるよう構成することもできる。このように構成すれば、たとえば、ラッチ動作に先立ってデータを不揮発的に記憶することが可能となる。

【0120】

また、たとえば、データラッチ時であるか否かにかかわらず、エラーの発生した時点（又はその直前）にデータ保持回路に存するデータに対応した不揮発的状态を不揮発性記憶素子に記憶させるよう構成することもできる。このように構成すれば、エラー発生時点の如何にかかわらず、エラー発生時点（またはその直前）の正しいデータを不揮発的に記憶することができる。このため、電源再投入後、常に正しいデータから処理を再開することが可能となる。

【0121】

また、上述の各実施形態においては、不揮発性記憶素子が強誘電体コンデンサのみから構成される場合を例に説明したが、この発明はこれに限定されるものではない。

【0122】

不揮発性記憶素子が、強誘電体コンデンサを実質的に含む強誘電体トランジスタ、たとえばMFMI S型FET（金属・強誘電体・金属・絶縁体・半導体型の電界効果トランジスタ）である場合や、不揮発性記憶素子が、強誘電体コンデンサまたは強誘電体トランジスタと他の要素（たとえば、トランジスタ、抵抗、常誘電体コンデンサなどの電氣的／電子的素子）とを組み合わせたものであってもよい。

【0123】

さらに、不揮発性記憶素子が強誘電体コンデンサを含まない場合にも、この発明を適用することができる。図13Aは、強誘電体コンデンサを含まない不揮発

性記憶素子の一例を示す図面である。たとえば、図1のデータ保持装置1を構成する強誘電体コンデンサ5に代えて、図13Aに示す不揮発性記憶素子205が用いられる。

【0124】

不揮発性記憶素子205は、不揮発性記憶部としてのスイッチングデータ記憶部201と、1または2以上の常誘電体コンデンサにより構成されるコンデンサ部202と、を備えている。この例では、コンデンサ部202は、並列接続可能な2つの常誘電体コンデンサC1（第1の常誘電体コンデンサ、容量C1）およびC2（第2の常誘電体コンデンサ、容量C2）と、容量変更用スイッチとしてのトランスファゲート203とを、備えている。

【0125】

不揮発性記憶素子205の一端205aは、不揮発性記憶素子接続ノード（図1の強誘電体接続ノード17に対応）に接続される。不揮発性記憶素子205の他端205bには、プレートライン信号PLとして、読み出し用信号（図5に示す読み出し用信号（b）と同様の信号）が、データ復元時に付与される。

【0126】

スイッチングデータ記憶部201は、不揮発性記憶素子接続ノードに現れたデータに対応するデータを、スイッチングデータとして、自動的にまたは所定の書き込み用信号（図示せず）に基づいて、不揮発的に記憶する。

【0127】

トランスファゲート203は、スイッチングデータ記憶部201に記憶されているスイッチングデータの値にしたがって、ON状態またはOFF状態となる。

【0128】

コンデンサC1の一端は、不揮発性記憶素子接続ノードに、直接、接続されている。一方、コンデンサC2の一端は、トランスファゲート203を介して、コンデンサC1の一端に接続されている。また、コンデンサC1およびC2の他端は、相互に接続され、不揮発性記憶素子205の他端205bを構成している。

【0129】

つまり、トランスファゲート203の継断状態（ON状態であるかOFF状態

であるか) によって、コンデンサ部 2 0 2 の有効容量が異なるよう構成されている。

【0 1 3 0】

図 1 3 B は、トランスファゲート 2 0 3 が O F F 状態である場合における、不揮発性記憶素子 2 0 5 の等価回路を示す図面である。この場合におけるコンデンサ部 2 0 2 の有効容量は、コンデンサ C1 単体の容量 “C1” となる。

【0 1 3 1】

図 1 3 C は、トランスファゲート 2 0 3 が O N 状態である場合における、不揮発性記憶素子 2 0 5 の等価回路を示す図面である。この場合におけるコンデンサ部 2 0 2 の有効容量は、コンデンサ C1 および C2 を並列接続した場合の合成容量 “C1+C2” となる。

【0 1 3 2】

すなわち、トランスファゲート 2 0 3 の継断状態 (O N 状態であるか O F F 状態であるか) によって、コンデンサ部 2 0 2 の有効容量は、コンデンサ C1 および C2 の合成容量となったり、コンデンサ C1 単体の容量となったりする。

【0 1 3 3】

不揮発性記憶素子 2 0 5 の他端 2 0 5 b に、上述の読み出し用信号を付与すると、不揮発性記憶素子 2 0 5 の一端 2 0 5 a には、コンデンサ部 2 0 2 の有効容量に応じた電荷が放出される。この放出された電荷が、上記有効容量に応じて、第 1 のインバータ回路 (たとえば図 1 のインバータ回路 7) のしきい値電圧より高いまたは低い電圧を当該第 1 のインバータ回路の入力ノードに発生させる電荷となるように、コンデンサ C1 および C2 の容量が定められている。

【0 1 3 4】

このように構成することで、スイッチングデータ記憶部 2 0 1 に記憶されているスイッチングデータに対応したデータを、データ保持回路に復元することができる。

【0 1 3 5】

すなわち、不揮発性記憶素子 2 0 5 は、次のように表現することができる。

【0 1 3 6】

不揮発性記憶素子 205 は、不揮発性記憶部とコンデンサ部とを備え、

不揮発性記憶部は、データ書き込み時に、第 1 のインバータ回路の入力ノードにその一端を接続した状態で、データ保持回路に存するデータに対応したデータを不揮発的に記憶し、

コンデンサ部は、データ復元時に、不揮発性記憶部に不揮発的に記憶されているデータに対応した有効容量を呈するよう構成されており、

コンデンサ部は、また、データ復元時に、第 1 のインバータ回路の入力ノードに一端を接続するとともに他端に読み出し用信号を付与することで、前記有効容量に対応した電荷であって、前記第 1 のインバータ回路のしきい値電圧より高いまたは低い電圧を前記第 1 のインバータ回路の入力ノードに発生させる電荷を、前記第 1 のインバータ回路の入力ノードに放出するよう、構成されている。

【0137】

なお、本出願に開示された発明は以下の (I) ないし (II) のいずれかとして把握することもできる。

【0138】

(I)

データラッチ時に、第 1 および第 2 のインバータ回路をループ状に接続することによりデータを保持するデータ保持回路と、

データ書き込み時に、前記第 1 のインバータ回路の入力ノードにその一端を接続するとともに他端に書き込み用信号を付与することで、前記データ保持回路に保持されているデータに対応した不揮発的状态を記憶し、データ復元時に、前記第 1 のインバータ回路の入力ノードに前記一端を接続するとともに前記他端に読み出し用信号を付与することで、前記記憶していた不揮発的状态に対応した電荷であって、前記第 1 のインバータ回路のしきい値電圧より高いまたは低い電圧を前記第 1 のインバータ回路の入力ノードに発生させる電荷を、前記第 1 のインバータ回路の入力ノードに放出するよう構成された不揮発性記憶素子と、

を備え、

前記データ保持回路は、

前記第 1 のインバータ回路の入力ノードと前記不揮発性記憶素子の一端との接

続ノードとして定義される不揮発性記憶素子接続ノードと、前記第2のインバータ回路の出力ノードと、の間に挿入され、データラッチ時およびデータ書き込み時に継状態となるよう継断制御されるとともに、データ復元時には、前記読み出し用信号の付与時に断状態でありその後所定期間経過後に継状態となるよう継断制御されるループ継断用ゲート、を備えている、

データ保持装置。

【0139】

(II)

データラッチ時に、第1および第2のインバータ回路をループ状に接続することによりデータを保持するデータ保持回路と、

少なくともデータ書き込み時およびデータ復元時にその一端が前記第1のインバータ回路の入力ノードに接続される不揮発性記憶素子と、

を備え、

前記データ保持回路は、

前記第1のインバータ回路の入力ノードと前記不揮発性記憶素子の一端との接続ノードとして定義される不揮発性記憶素子接続ノードと、前記第2のインバータ回路の出力ノードと、の間に挿入されたループ継断用ゲート、を備えている、

データ保持装置、を用意し、

データ書き込み時に、

前記ループ継断用ゲートを継状態とし、

その状態で前記第1のインバータ回路の入力ノードに前記不揮発性記憶素子の一端を接続するとともに他端に書き込み用信号を付与することで、前記データ保持回路に保持されているデータに対応した不揮発的状态を当該不揮発性記憶素子に記憶させ、

データ復元時に、

前記データ保持装置の電源を投入しておき、

その状態で前記ループ継断用ゲートを断状態とし、

その状態で前記第1のインバータ回路の入力ノードに前記不揮発性記憶素子の一端を接続するとともに他端に読み出し用信号を付与することで、前記記憶して

いた不揮発的状态に対応した電荷であって、前記第 1 のインバータ回路のしきい値電圧より高いまたは低い電圧を前記第 1 のインバータ回路の入力ノードに発生させる電荷を、前記第 1 のインバータ回路の入力ノードに放出させ、

その後、所定期間経過後に前記ループ継断用ゲートを継状態とすることで前記第 1 および第 2 のインバータ回路をループ状に接続し、これにより、前記不揮発性記憶素子に記憶していた不揮発的状态に対応したデータを前記データ保持回路に復元する、

ステップを備えたデータ保持方法。

【0 1 4 0】

上記 (I) または (I I) のように構成すれば、不揮発性記憶素子の他端に書き込み用信号を付与するという単純な動作でデータを記憶することができるから、データを記憶することが容易となる。また、データ保持回路にラッチされているデータに対応した不揮発的状态を不揮発性記憶素子に記憶させることができるから、安定状態にある信頼性の高いデータを記憶することが可能となる。

【図面の簡単な説明】

【図 1】

この発明の一実施形態によるデータ保持装置 1 の構成を示す回路図である。

【図 2】

トランスファゲート 1 1 の実体的な構成を示す模式図である。

【図 3】

データ保持装置 1 に必要な複数のクロックパルスを供給するためのクロック発生回路の構成の一例を示す回路図である。

【図 4】

データ保持装置 1 におけるデータ書き込み動作を説明するためのタイミングチャートの一例である。

【図 5】

データ保持装置 1 におけるデータ復元動作を説明するためのタイミングチャートの一例である。

【図 6】

イネーブル信号 E N、クロックパルス C L K、クロックパルス C K C、クロックパルス C K A、およびクロックパルス C K B の関係を示すタイミングチャートである。

【図 7】

データ復元動作における強誘電体接続ノード 1 7 の電位の変化のシミュレーション結果を示す図面である。

【図 8】

この発明の他の実施形態によるデータ保持装置 8 1 の構成を示す回路図である。

【図 9】

データ保持装置 8 1 におけるデータ復元動作を説明するためのタイミングチャートの一例である。

【図 1 0】

この発明のさらに他の実施形態によるデータ保持装置 9 1 の構成を示す回路図である。

【図 1 1】

この発明のさらに他の実施形態によるデータ保持装置 1 0 1 を示す回路図である。

【図 1 2】

ダイオード 1 0 5 およびトランジスタ 1 2 3 の実体的な構成を示す模式図である。

【図 1 3】

図 1 3 A は、強誘電体コンデンサを含まない不揮発性記憶素子の一例を示す図面である。図 1 3 B は、トランスファゲート 2 0 3 が O F F 状態である場合における、不揮発性記憶素子 2 0 5 の等価回路を示す図面である。図 1 3 C は、トランスファゲート 2 0 3 が O N 状態である場合における、不揮発性記憶素子 2 0 5 の等価回路を示す図面である。

【符号の説明】

1 データ保持装置

5 強誘電体コンデンサ

5 b . . . 強誘電体コンデンサの他端

1 1 . . . トランスファゲート

1 5 . . . トランスファゲート

1 7 . . . 強誘電体接続ノード

特許出願人 ローム株式会社

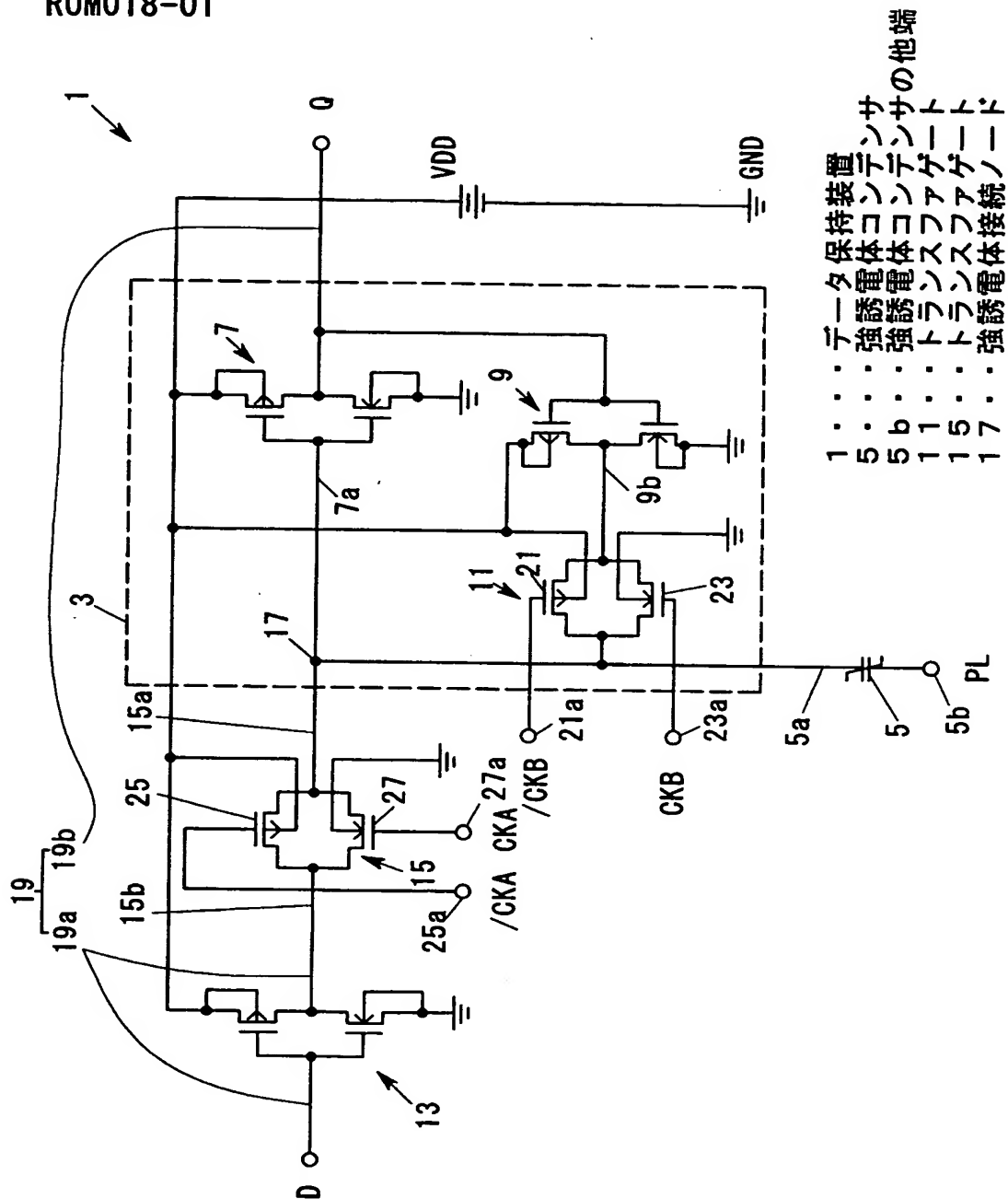
出願人代理人 弁理士 田川 幸一

【書類名】

図面

【図 1】

ROM018-01

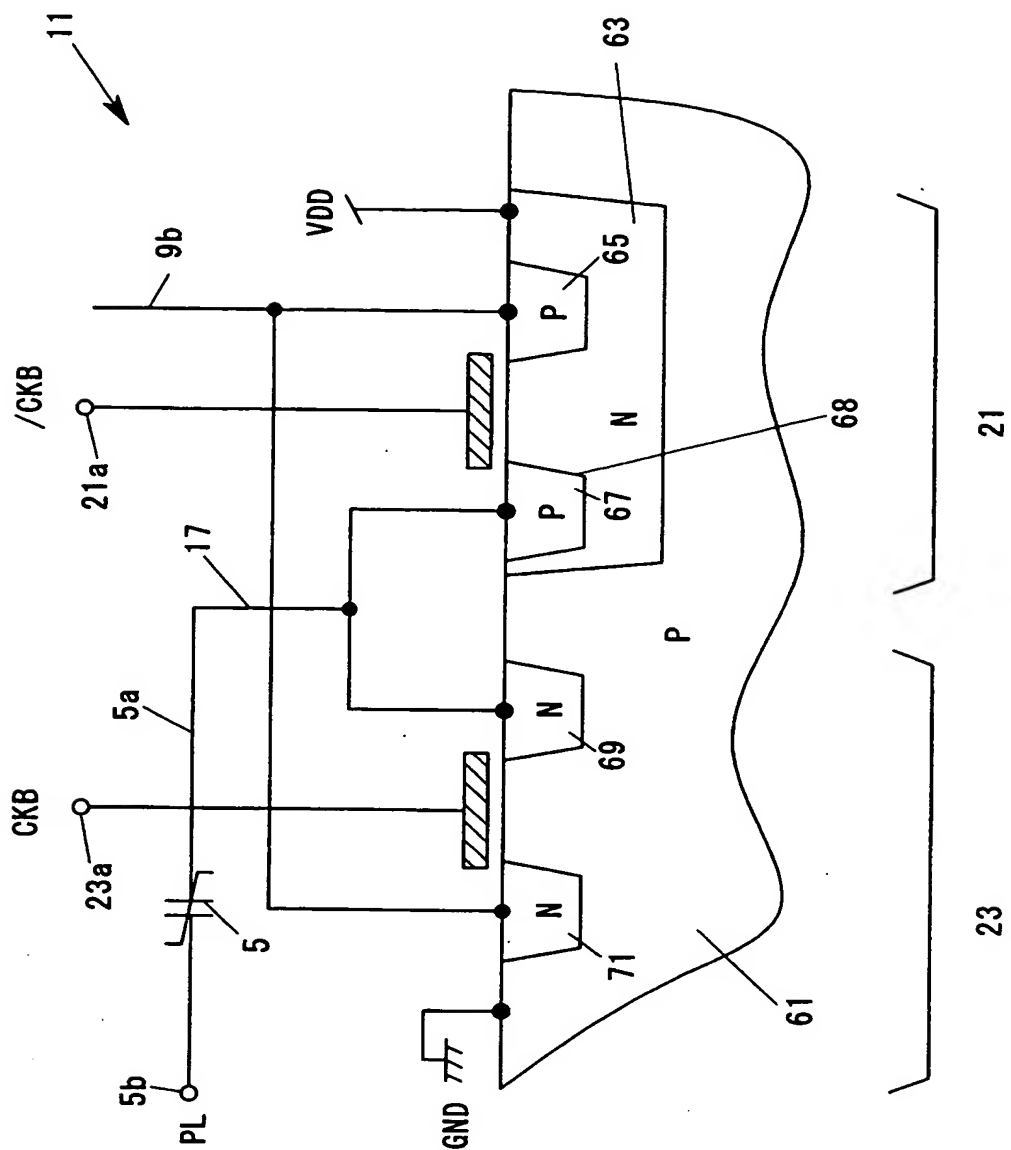


データ保持装置
1...データ保持装置
5...強誘電体
5b...強誘電体
11...トランジスタ
15...トランジスタ
17...強誘電体

センスノード
1...センスノード
5...センスノード
5b...センスノード
11...センスノード
15...センスノード
17...センスノード

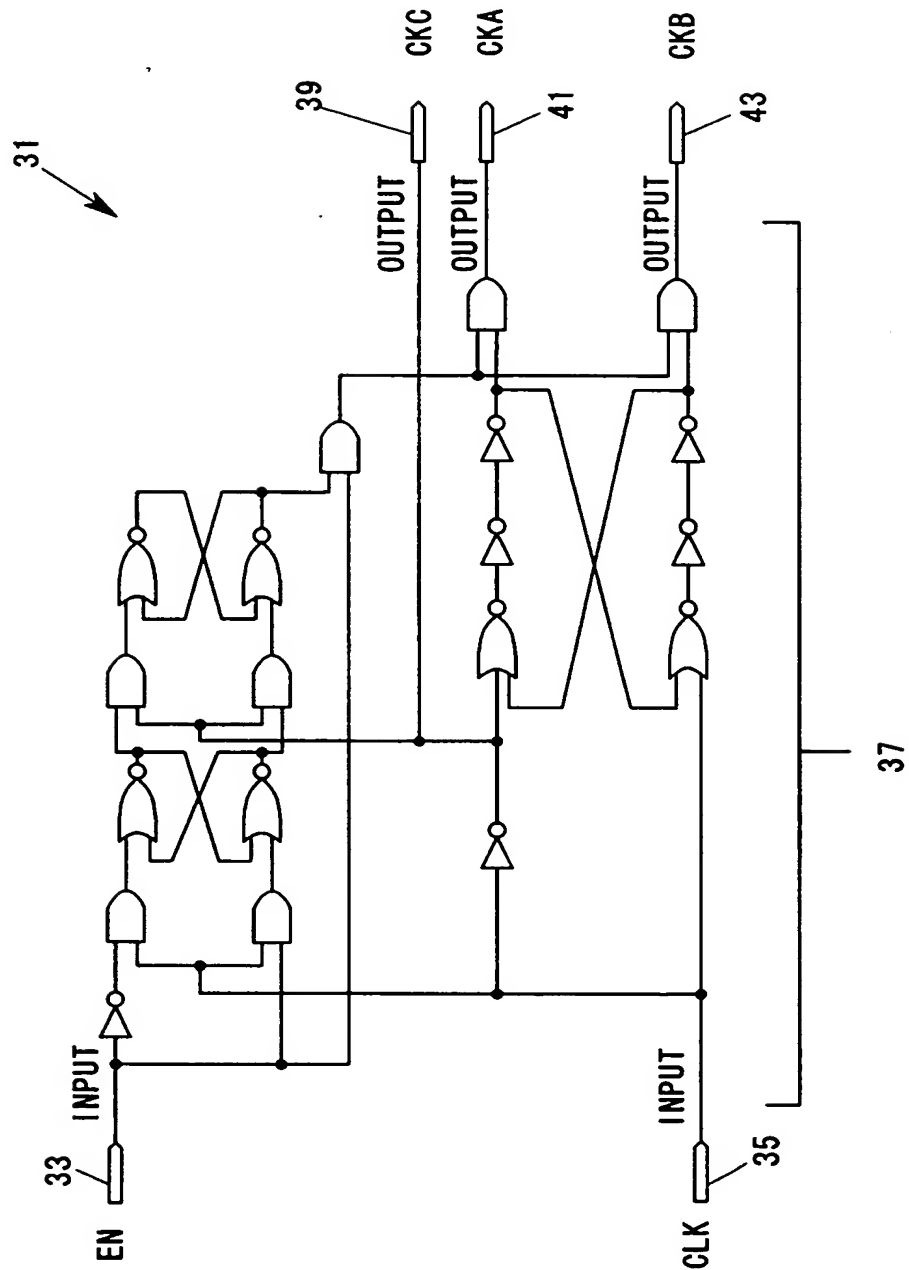
【図 2】

ROM018-02



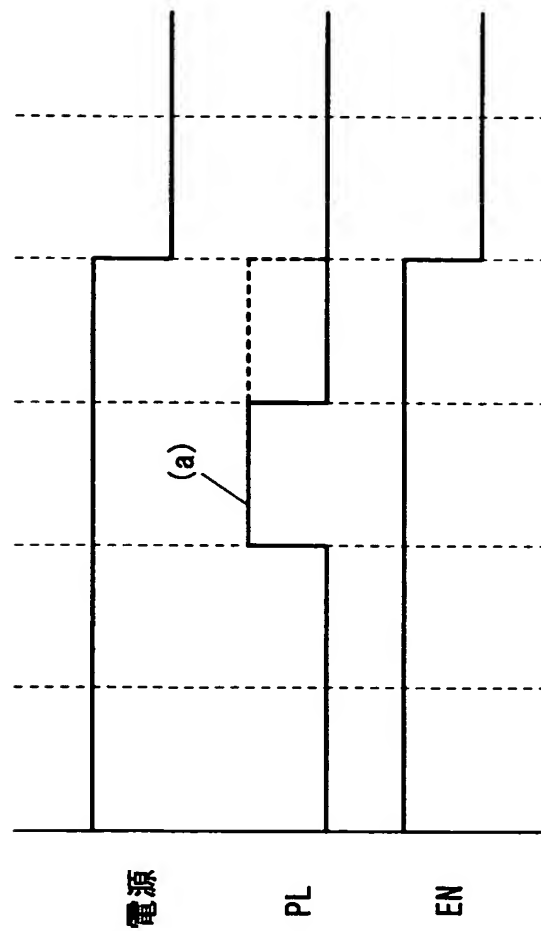
【図 3】

ROM018-03



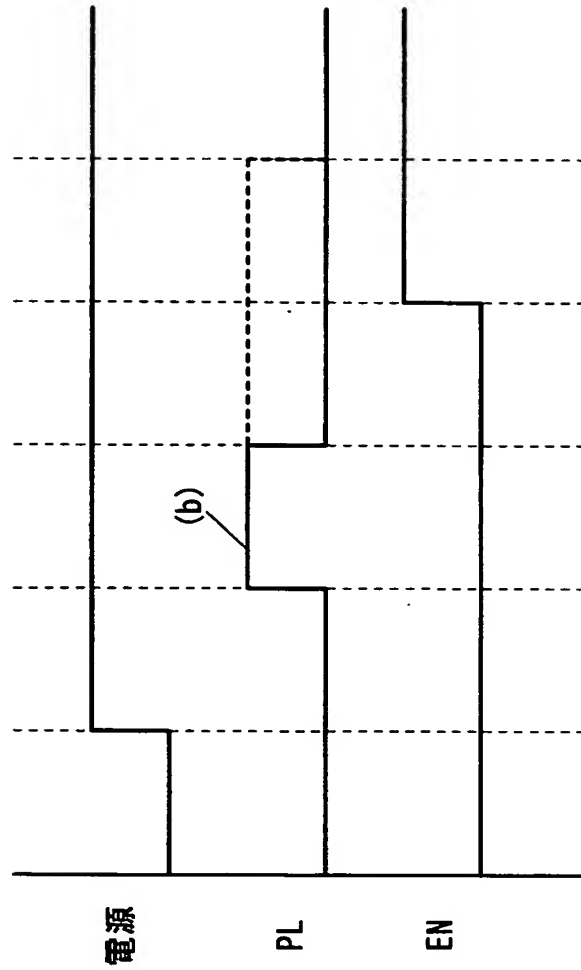
【図 4】

ROM018-04



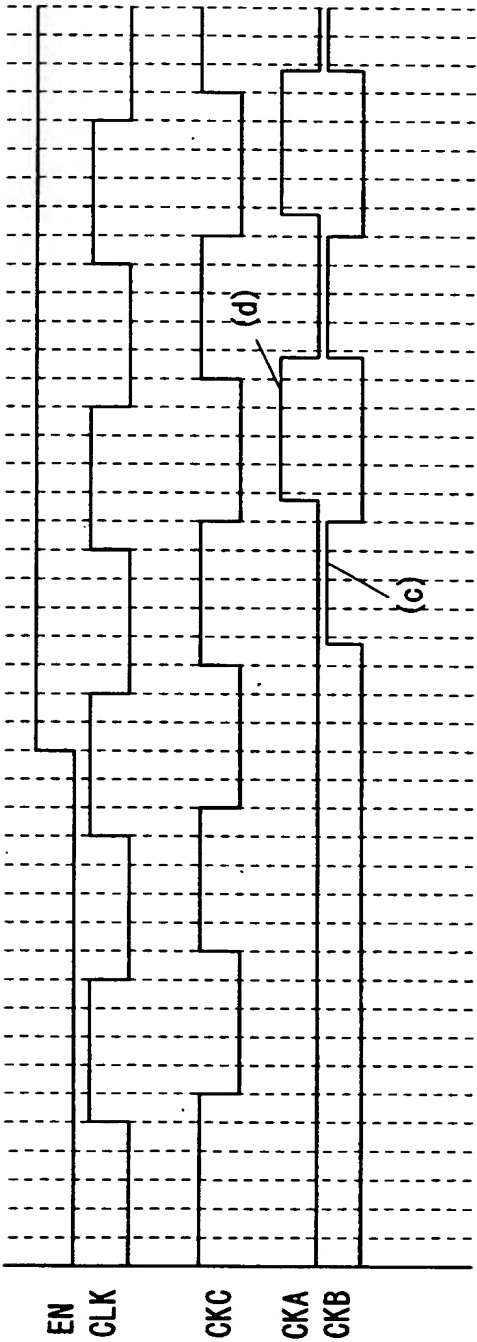
【図 5】

ROM018-05



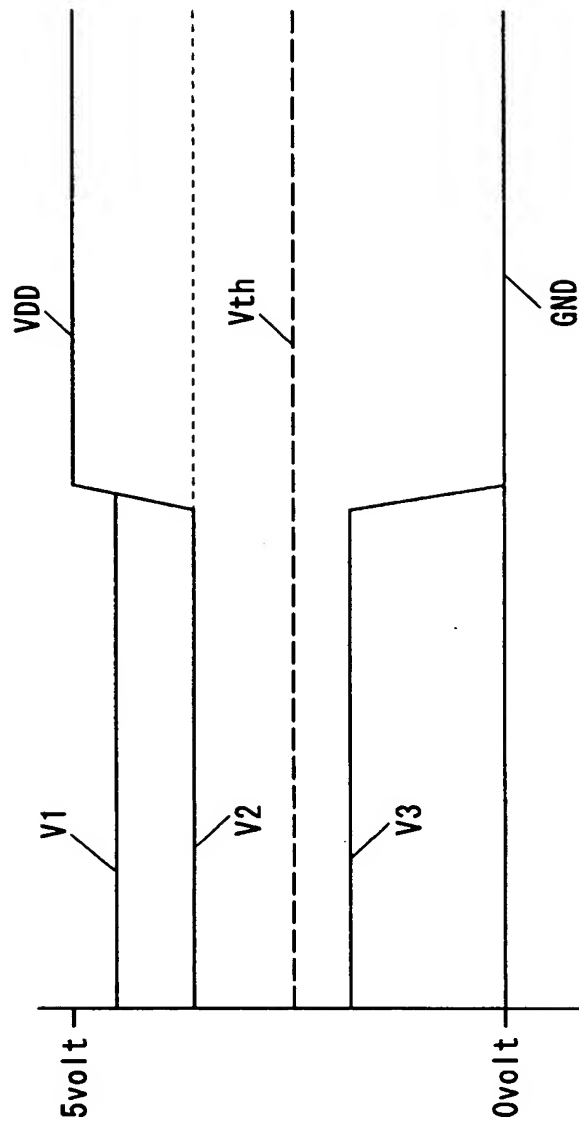
【図 6】

ROM01-06



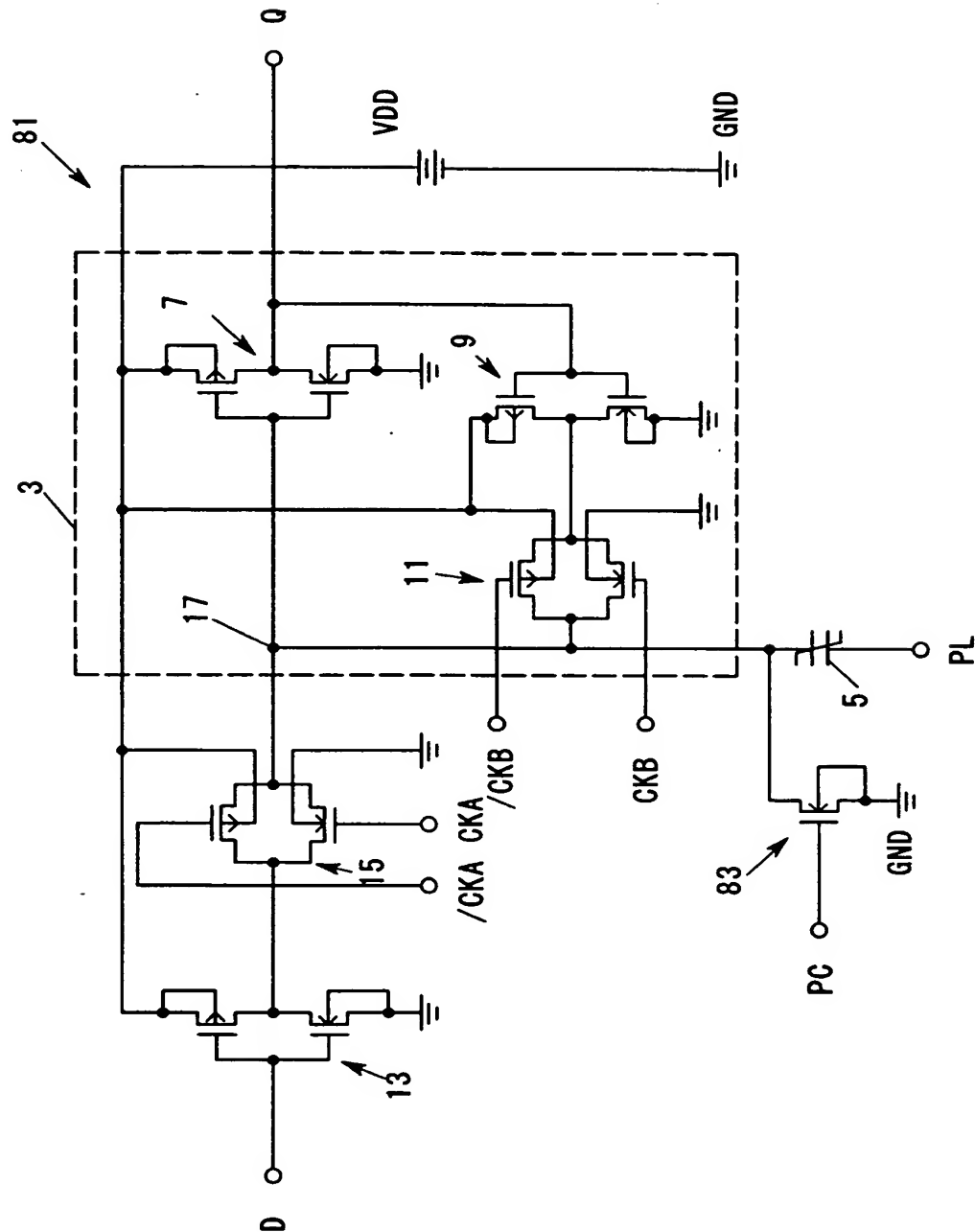
【図 7】

ROM018-07



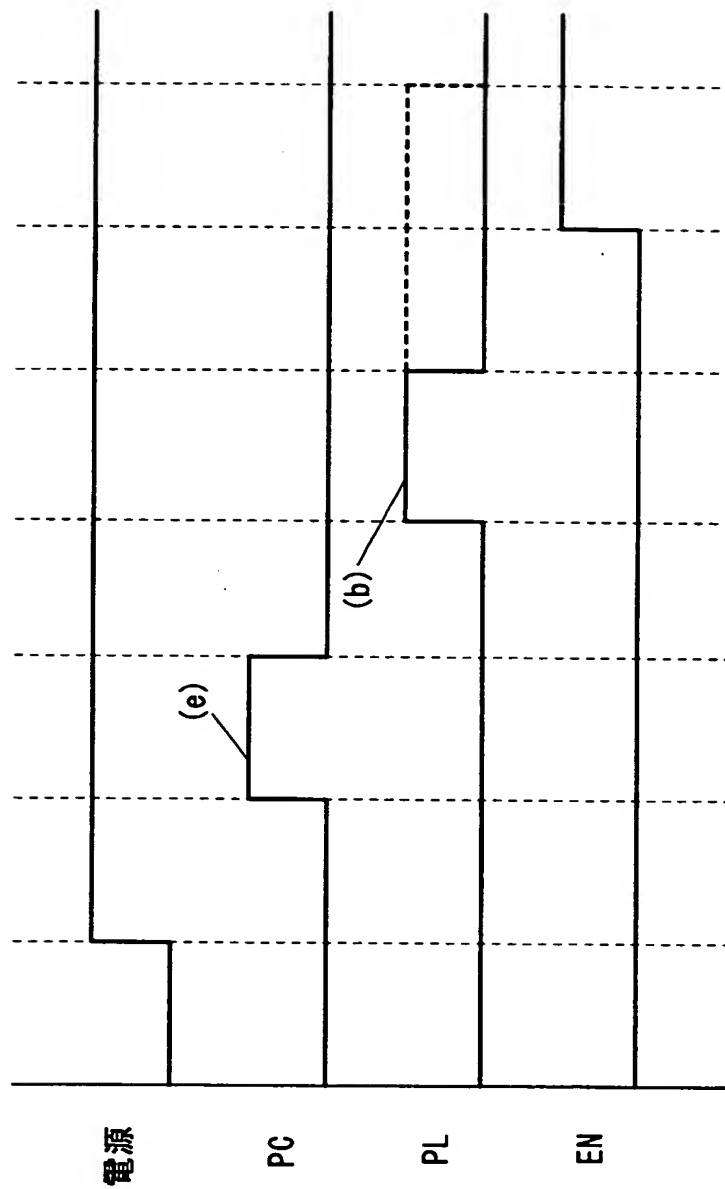
【図 8】

ROM018-08



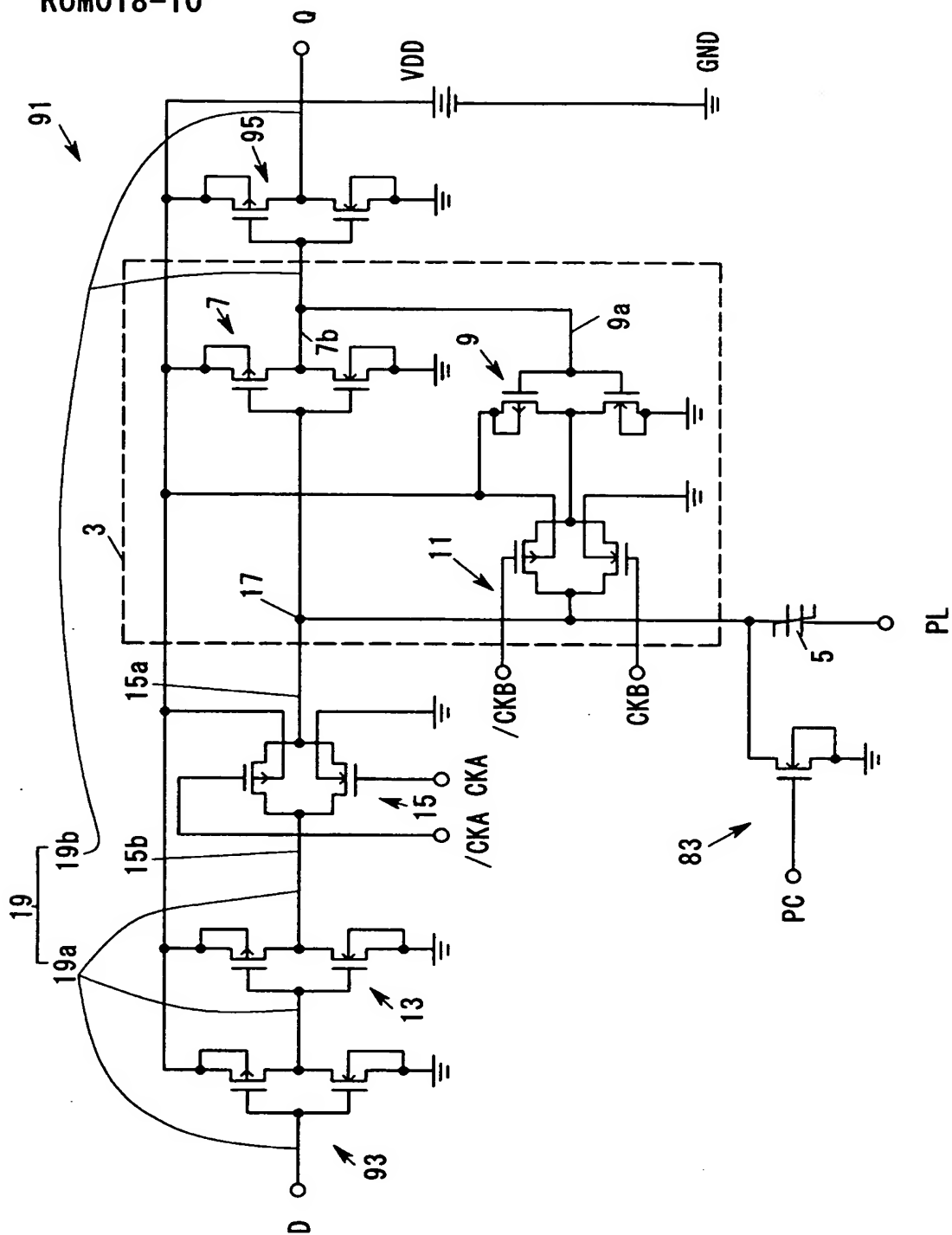
【図 9】

ROM018-09



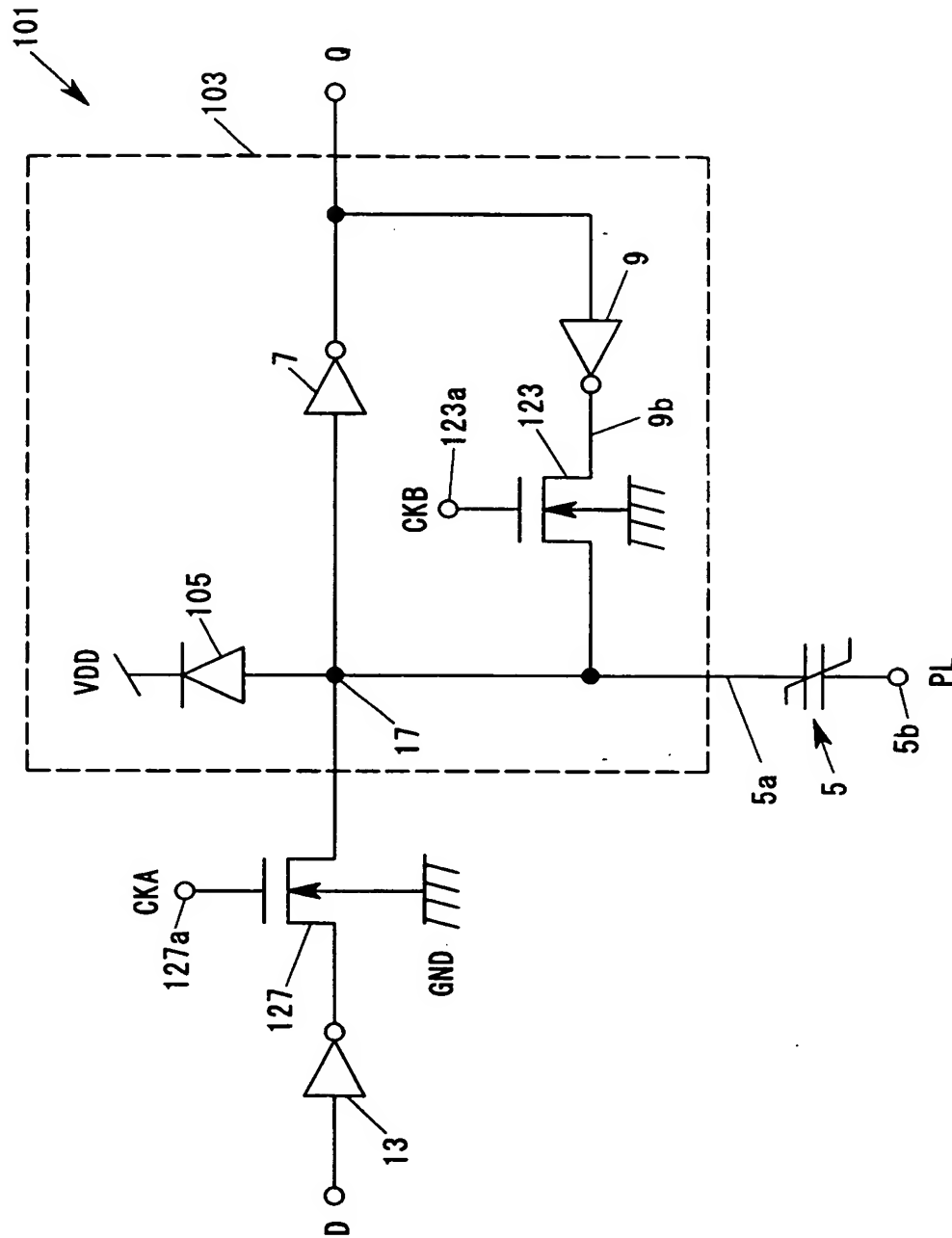
【図 10】

ROM018-10

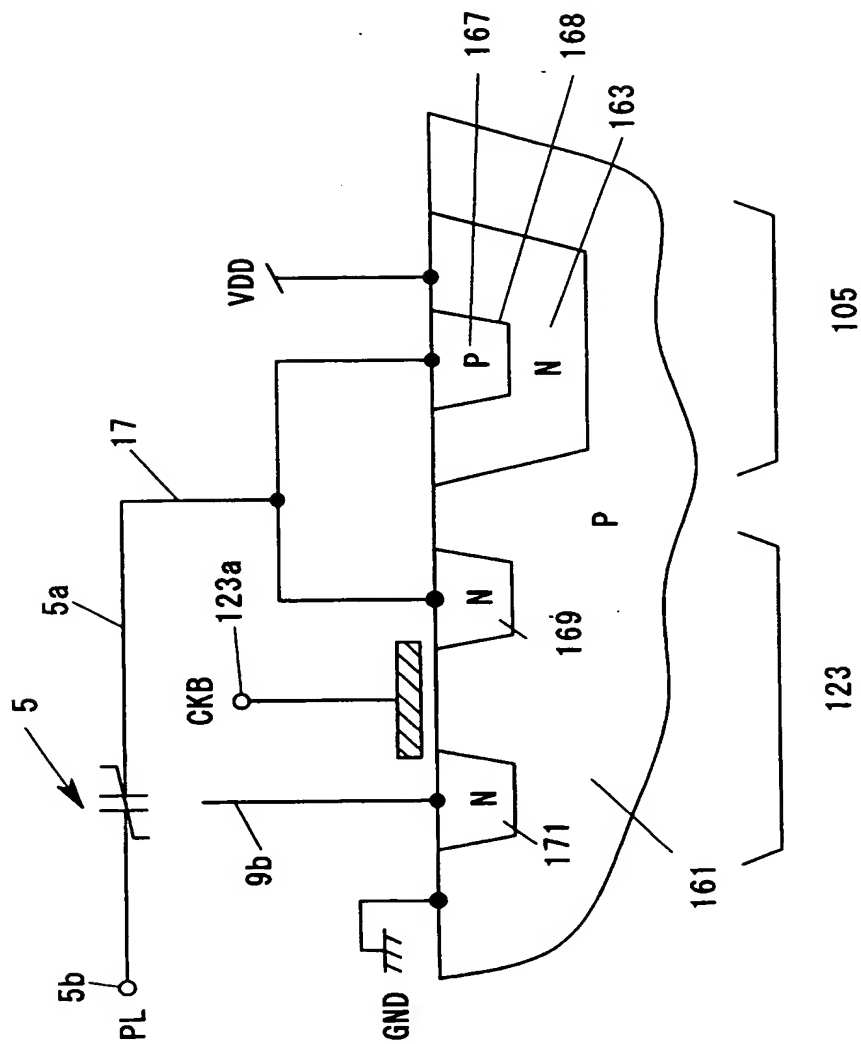


【図 11】

ROM018-11

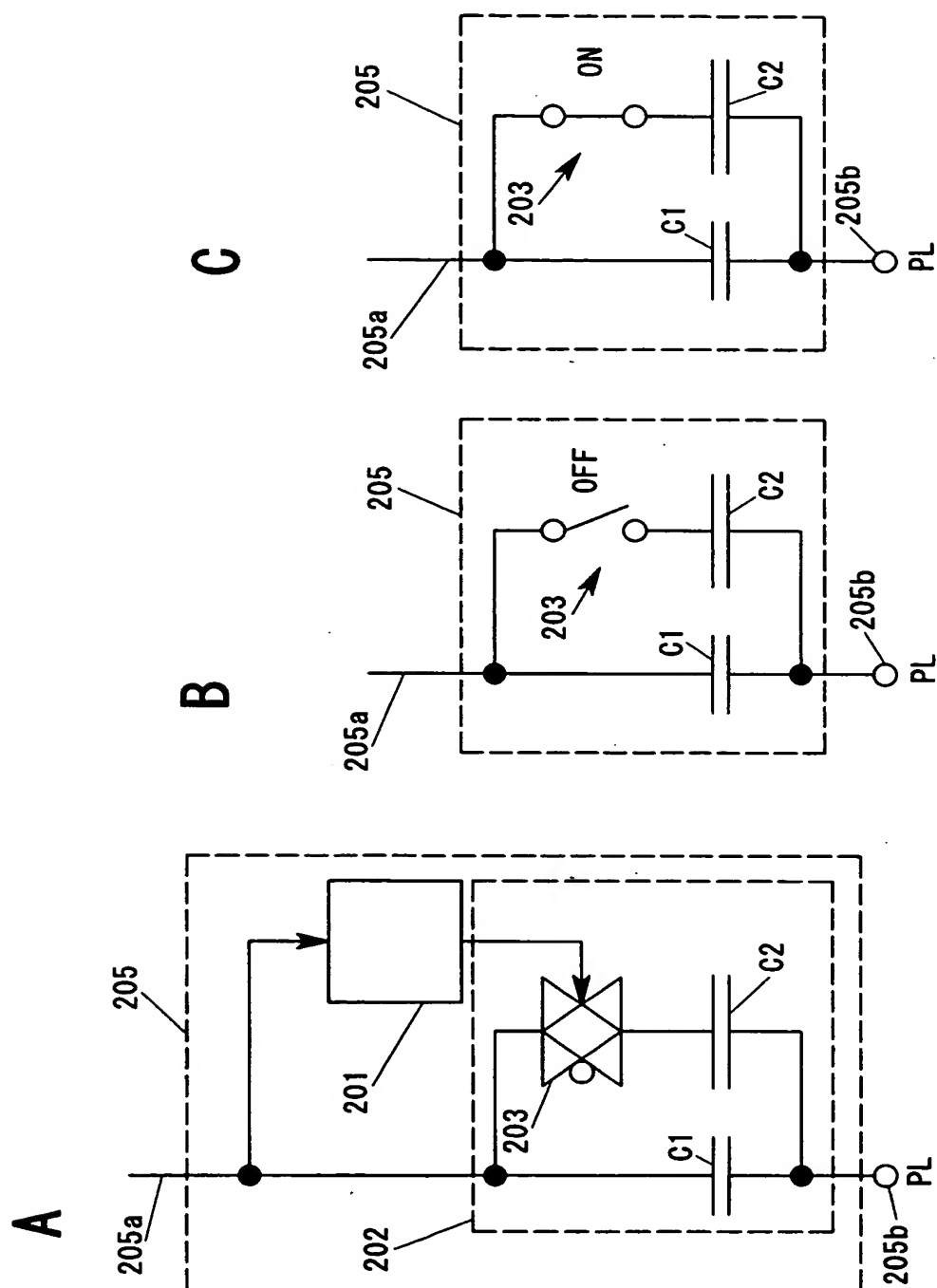


【図 12】

ROM018-12

【図 13】

ROM018-13



【書類名】 要約書

【要約】

【課題】 電源が遮断されてもデータを保持するとともに保持したデータを正確に復元することができ、かつ、回路面積の増加が少なく、タイミング制御の容易なデータ保持装置およびデータ保持方法を提供する。

【解決手段】 データ復元動作においては、データ保持装置 1 の電源を ON にしておき、強誘電体コンデンサ 5 の他端 5 b に、読み出し用信号を与える。これにより、強誘電体コンデンサ 5 に記憶されていた分極状態に対応した電荷が強誘電体接続ノード 1 7 に放出される。このとき、トランスファゲート 1 1、1 5 はいずれも OFF になっている。したがって、強誘電体接続ノード 1 7 に放出された電荷が、トランスファゲート 1 1、1 5 を介して漏出することはない。このため、強誘電体接続ノード 1 7 の電位は、放出された電荷を正確に反映したものとなる。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 3 4 9 8 6 1
受付番号	5 0 2 0 1 8 2 2 0 1 2
書類名	特許願
担当官	第八担当上席 0 0 9 7
作成日	平成 1 4 年 1 2 月 3 日

＜認定情報・付加情報＞

【提出日】 平成14年12月 2日

次頁無

特願 2 0 0 2 - 3 4 9 8 6 1

出 願 人 履 歴 情 報

識別番号

[0 0 0 1 1 6 0 2 4]

1. 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

京都府京都市右京区西院溝崎町 2 1 番地

氏 名

ローム株式会社